

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-291540

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)11月24日

H 04 J 11/00

B-8226-5K

審査請求 未請求 請求項の数 1 (全8頁)

⑤ 発明の名称 復調回路

② 特 願 昭63-120517

② 出 願 昭63(1988)5月19日

⑦ 発 明 者 青 野 芳 民 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑦ 発 明 者 岩 松 隆 則 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑦ 発 明 者 斉 藤 正 勝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑦ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

復調回路

2. 特許請求の範囲

1. 第1および第2中間周波(f_{1r1} , f_{1r2})によりそれぞれ変調された送信側(SND)からの第1および第2変調信号(S1, S2)を受信し、それぞれ第1および第2再生搬送波(f_{c1} , f_{c2})を用いて復調を行う第1および第2復調部(11, 21)ならびにその復調された第1および第2復調信号(S11, S21)より第1および第2復調データ(DT1, DT2)をそれぞれ再生する第1および第2主識別部(12, 22)を有する第1および第2系統(10, 20)に区分されてなる復調回路において、

前記第1および第2再生搬送波(f_{c1} , f_{c2})の相互間の周波数差(Δf)を検出する周波数差検出部(31)を有し、

前記第1系統(10)内において、前記第1再生搬送波(f_{c1})に同期したクロック(CK1)で前

記第2復調部(21)からの前記第2復調信号

(S21)をデジタル変換する第1副識別部(13)

と、該第1副識別部(13)からの第1副識別信号

(S13)に対し前記周波数差(Δf)に応じた補

償を加える第1補償部(14)と、前記第1復調デ

ータ(DT1)に該第1補償部(14)の出力を加え

て前記第2系統(20)から前記第1系統(10)へ

の干渉成分を除去する第1加算部(15)を設け、

前記第2系統(20)内において、前記第2再生

搬送波(f_{c2})に同期したクロック(CK2)で前

記第1復調部(11)からの前記第1復調信号

(S11)をデジタル変換する第2副識別部(23)

と、該第2副識別部(23)からの第2副識別信号

(S23)に対し前記周波数差(Δf)に応じた補

償を加える第2補償部(24)と、前記第2復調デ

ータ(DT2)に該第2補償部(24)の出力を加え

て前記第1系統(10)から前記第2系統(20)へ

の干渉成分を除去する第2加算部(25)を設ける

ことを特徴とする復調回路。

3. 発明の詳細な説明

(概要)

第1および第2中間周波によりそれぞれ変調された送信側からの第1および第2変調信号を受信し、それぞれ第1および第2再生搬送波を用いて復調を行う第1および第2復調部ならびにその復調された第1および第2復調信号より第1および第2復調データをそれぞれ再生する第1および第2主識別部を有する第1および第2系統に区分されてなる復調回路に関し、

ディジタル化に適し、簡単な構成で実現できる復調回路を提供することを目的とし、

前記第1および第2再生搬送波の相互間の周波数差を検出する周波数差検出部を有し、前記第1系統内において、前記第1再生搬送波に同期したクロックで前記第2復調部からの前記第2復調信号をディジタル変換する第1副識別部と、該第1副識別部からの第1副識別信号に対し前記周波数差に応じた補償を加える第1補償部と、前記第1復調データに該第1補償部の出力を加えて前記第

2系統から前記第1系統への干渉成分を除去する第1加算部を設け、前記第2系統内において、前記第2再生搬送波に同期したクロックで前記第1復調部からの前記第1復調信号をディジタル変換する第2副識別部と、該第2副識別部からの第2副識別信号に対し前記周波数差に応じた補償を加える第2補償部と、前記第2復調データに該第2補償部の出力を加えて前記第1系統から前記第2系統への干渉成分を除去する第2加算部を設けるように構成する。

(産業上の利用分野)

本発明は、第1中間周波により変調された送信側からの第1変調信号を受信し、第1再生搬送波を用いて復調を行う第1復調部ならびにその復調された第1復調信号より第1原データを再生する第1主識別部を有する第1系統と、第2中間周波により変調された前記送信側からの第2変調信号を受信し、第2再生搬送波を用いて復調を行う第2復調部ならびにその復調された第2復調信号よ

り第2原データを再生する第2主識別部を有する第2系統とに区分されてなる復調回路に関する。

例えば多値QAM等のディジタル無線伝送システムでは周波数の利用効率を高めるため種々の手法が試みられている。1つにはそのQAMの多値数を4→8→16…の如く増加させる方法がある。また第1系統と第2系統に区分して伝送するという方法もある。本発明はこの後者の方法を前提とするものである。例えば第1系統としてV(vertical)偏波を用い、第2系統としてH(horizontal)偏波を用いるというものであり、いわゆるCO-CHANNEL伝送を形成する。別の態様としては、VまたはHのいずれかの片偏波を用い、その中で第1系統として第1の周波数帯域を用い、第2系統として第2の周波数帯域を用い、かつこれら第1および第2の周波数帯域は、一方の高周波領域と他方の低周波領域とが重なりあう程近接している。なお上記いずれの場合であっても、上記第1系統と第2系統はそれぞれI(in-phase)チャンネルとQ(quadrature)チャンネルから構成される。

また、以下の説明は、VおよびH偏波をそれぞれ第1および第2系統とするCO-CHANNEL伝送を主として例にとる。

(従来技術)

上記CO-CHANNEL伝送等では、第1系統および第2系統間の干渉、すなわちV偏波のH偏波への干渉ならびにH偏波のV偏波への干渉が問題となる。この干渉の度合は例えばフェージングの発生によって急に高くなり、データ伝送の誤り率を高くしてしまう。

このような一方の系統から他方の系統への干渉成分を除去するための手段が必要となる。従来、この干渉成分除去手段として、いわゆるローカル同期のもとで実現される手段とローカル非同期のもとで実現される手段が知られている。前者の、ローカル同期形の手段においては一方の系統のローカル信号の変化(周波数変化)を常に他方の系統に伝え、両系統のローカル信号を一致させておく必要がある。このことは逆に言えば一方の系統

のローカル信号に異常が発生したとすると、この異常は即座に他方の系統に波及し、一瞬のうちにシステムダウンとなってしまふ。これはシステムの信頼度を悪化させることになる。したがって本発明はこのような欠点のない、前述した後者の手段、すなわちローカル非同期形の手段を前提とする。

(発明が解決しようとする課題)

上記ローカル非同期形のもとで上記干渉成分を除去するために、第1復調部を主と副の2系統とし、第2復調部も主と副の2系統とし、それぞれ副をなす一方の復調部は(主をなす復調部は本来のもともある復調部)、他方の受信信号を復調するものとし、これら副復調部の出力を副識別部に入力して干渉成分を除去するための補償信号を生成するという手法を本発明者等が考え出した。しかしながら、この手法では復調部のハードウェア量が倍になり復調回路の小型化が図れない、という問題が生ずる。さらに、その復調部は通常ダ

イオードミキサによって構成されることからアナログ部品が増え、復調回路のLSI化に支障となるという問題が生ずる。

本発明は、デジタル化に適し、簡単な構成で実現できる復調回路を提供することを目的とするものである。

(課題を解決するための手段)

第1図は本発明に係る復調回路の原理構成を示す図である。本図において、復調回路30は、第1系統10(上半分)と第2系統20(下半分)とに区分され、例えばCO-CHANNEL伝送であれば第1系統10はV偏波系、第2系統20はH偏波系である。原データDATA1は、送信側SNDにおいて、第1変調器MOD1により第1中間周波 f_{rf1} で変調され第1変調信号S1として、受信側である復調回路30の第1系統10に印加される。同様に、原データDATA2は、送信側SNDにおいて、第2変調器MOD2により第2中間周波 f_{rf2} で変調され第2変調信号S2として受信側である復調回

路30の第2系統20に印加される。

復調回路30内にはまず周波数差検出部31が設けられる。周波数差とは、第1および第2系統10、20の第1再生搬送波 f_{c1} と第2再生搬送波 f_{c2} との差(Δf)のことである。なお、これら搬送波の再生手法は従来どおりであり、図示を省略する。さらに、第1系統10内においては、まず第1復調部(DEM)11が設けられ、復調された第1復調信号S11は第1主識別部(A/D)12に印加される。該識別部12はA/D(Analog/Digital)コンバータであり、ここで第1復調データDT1を生成する。

上記の第1系統10の構成は第2系統20についても同様であり、第2復調信号S21を出力する第2復調部21と、第2復調データDT2を生成する第2主識別部22とがある。なお、第1および第2主識別部12、22はそれぞれ第1および第2クロックCK1、CK2にて識別動作を行うが、これらクロックはDATA1、DATA2にそれぞれ同期したクロックである。このためにクロック再生部(BTR:

Bit Timing Recovery)16および26があるが、これらは公知のものである。

本発明の特徴的構成は、第1系統10内において、第2復調部21からの第2復調信号S21を第1クロックCK1でデジタル変換する第1副識別部13と、その出力である第1副識別信号S13に対し前記周波数差 Δf に応じた補償を加える第1補償部14と、第1補償部14の出力を第1復調データDT1に加える第1加算部15である。

上記の構成は第2系統20についても全く同様であり、第2クロックCK2にて、他の系統からの第1復調信号S11を識別する第2副識別部23と、その第2副識別信号S23に対し周波数差 Δf に応じた補償を加える第2補償部24と、この補償出力を第2副識別部23からの第2復調データDT2に加える加算部25とを備える。加算部15および25の出力に所定の処理(図示せず)を加えて、再生データDATA1およびDATA2を得る。

(作 用)

第2系統20から第1系統10への干渉を除去するために、第2系統20での復調信号、すなわち第2復調信号S21を、第1系統10内に導入し、第1主識別部12とは別の第1副識別部13でその第2復調信号S21の復調データをS13として得る。この復調データS13は第1系統10内のクロックCK1で得られたものであり、本来の復調データDT1に含まれる、第2系統20からの干渉成分に等しい。ところが現実にはこの干渉成分(DT1に含まれるもの)は、第1復調データS13と完全には一致しない。なぜなら、第1副識別部13に輸入される、第2系統20からの第2復調信号S21は第2系統20に固有の再生搬送波 f_{c2} で復調されたものだからである。なお一般的には第1および第2再生搬送波 f_{c1} 、 f_{c2} の周波数が完全に一致することはあり得ず、例えば数100Hz程度のずれは免れない。これが前述の周波数差(Δf)である。

そこで、この周波数差 Δf をもって、第2系統

20の座標系で表された第1副識別信号S13を、第1系統10の座標系で表された第1副識別信号、すなわち補償信号に変換する。この座標変換は第1補償部14で行われ、第1加算部15で第1復調データDT1に加えて第2系統からの干渉成分を除去する。ここに座標系とは、直交する既述のIチャネルおよびQチャネルで規定される座標系を意味する。

上記の構成は第2系統20においても全く同様に適用される。

かくして既述した、復調部のハードウェア量の増大を伴うことなく、またIC化が容易な復調回路が実現される。なぜなら副識別部13、23、補償部14、24、加算部15、25は簡単なロジック回路のみで構成できるからである。

(実施例)

第2図は第1図における送信側の一例を示す図である。ただし送信側SNDそのものには本発明の特徴はない。本図中の原データDATA1、DATA2、

変調器(MOD1、MOD2)については既に述べたとおりであり、変調器からの信号は、アップコンバータ(ローカル信号 f_{s1} 、 f_{s2})をなすIF(中間周波)→μ波(マイクロ波)変換器および高出力増幅器(HPA)を通してアンテナANTより受信側に送信される。なお、MOD1およびMOD2はそれぞれIチャネルおよびQチャネルの直交信号を処理する。

第3図は本発明に係る復調回路の詳細例を示す図である。アンテナANTで受信された変調信号(第2図のS1、S2)はローノイズアンプ

(LNA)41、51にそれぞれ印加した後、ダウンコンバータ(ローカル信号 f_{s1})をなすμ→IF変換器41、52で中間周波信号となる。これより後段の構成は第1図の構成と実質的に同じである。なお、本実施例では既述の第1および第2系統(10、20)としてV偏波系とH偏波系を用いた場合を示す。

第1図の復調回路30で示した第1補償部(COM)14は第3図中、座標回転器(ROT)44および45で示される。第2補償部24についてもROT54

および55で実現される。なお、ROTの具体例は後述する。

ROT44および54の各後段には干渉雑音キャンセラ(INC:Interference Noise Canceller)45および55が設けられ、これらを通して加算部15および25にそれぞれ入力される。なお、このINCの構成は通常のトランスバーサル等化器とほぼ同じものである。またトランスバーサル等化器は第3図中EQL43および53として、主識別器(A/D)12および22と加算部15および25との間にそれぞれ挿入される。

第4図は復調回路内の周波数差検出部の具体例を示す図である。周波数差検出部31は、再生搬送波 f_{c1} および f_{c2} の周波数差 Δf を検出し、かつこれを次段の回路に適した形で、例えば $\sin\theta$ 信号および $\cos\theta$ 信号として第3図の座標回転器(ROT)44、54に入力する。 $\sin\theta$ および $\cos\theta$ は、リードオンリーメモリ(ROM)71および72と、これらメモリをアクセスするためのアドレスを出力するアップ/ダウン(U/D)カウンタ70とに

より生成される。すなわち、メモリ71, 72およびカウンタ70は、いわゆる無限移相器を形成する。

上記 f_{c1} および f_{c2} の周波数差 Δf はミキサ64のビート信号として出力され、コンパレータ(CMP)65においてデジタル信号とした後、過倍器(66, 67, 68)を経て、カウンタ70のクロック端子CLKへ印加される。参照番号66は周波数(f)→電圧(V)変換器、67は P 倍の掛算器、68は $V \rightarrow f$ 変換器である。この過倍器は、 Δf が数100Hzと小さいことに鑑み、分解能を上げるために用いられる。 P は、カウンタ70の桁数が m であるとする(m ビットカウンタ)、 $P = 2^m$ である。

かくして、周波数差 Δf の変動に追従して座標系の回転量を $\sin \theta$ 信号および $\cos \theta$ 信号として出力する。この場合、その座標系の回転が右まわりか又は左まわりかを定める必要があるが、そのために、カウンタ70のアップ/ダウン(U/D)制御入力にコンパレータ(CMP)63の出力を印加する。コンパレータ63は、再生搬送波 f_{c1} および

f_{c2} の大小を比較するものであり、そのために V 偏波系の分周器($1/n$)611および f/V 変調器621が設けられる。H偏波系にもそれぞれ対応する回路部分612および622が設けられる。例えば $f_{c1} > f_{c2}$ ならU/Dカウンタ70はアップカウントし、 $f_{c1} < f_{c2}$ ならダウンカウントする。

第5図は座標回転器の具体例を示す図である。座標回転器(ROT)44(54)は V 偏波系のもの(44)も、H偏波系のもの(54)も同一構成であるので、 V 偏波系について述べると、主識別部(A/D)12は、第1復調信号S11およびクロックCK1を受信し、復調データ(第3図のDT1)を生成する。なお、信号S11はIチャネルおよびQチャネルの信号からなる。この信号S11は座標系(x, y)で規定されたものである。そこで、この信号S11を、周波数差 Δf に応じた補償を加えるために θ だけ回転させた新たな座標系(X, Y)で規定される信号に変換する。変換公式は、

$$X = x \cos \theta + y \sin \theta$$

$$Y = -x \sin \theta + y \cos \theta$$

である。ここに $\cos \theta$ 、 $\sin \theta$ は第4図の周波数差検出部31より供給される。第5図中、Mは掛算器、Aは和算器、Sは引算器である。

第6図はトランスバーサル形フィルタの一般形を示す図であり、第5図における干渉雑音キャンセラ45(55)の基本構成を、 X 側(Y 側も全く同一)について示す。第6図において、 w_1 、 w_2 、 $w_3 \dots w_n$ はタップ係数であり、各掛算器Mで入力 X と掛算され、さらにこれらの総和が加算器(Σ)より出力される。なお、タップ係数 w_1 、 $w_2 \dots$ は、第1図の右側(受信側)のDATA1およびDATA2の形成途中で得られる、いわゆる誤差信号ならびに極性信号をもとに決定される。

第7図は第3図の回路の入力段が異なる形式の場合を示す図であり、第3図におけるダウンコンバート部分(42, 52)におけるローカル信号が f_{n1} および f_{n2} の如く個別に存在する(第3図では一つの f_n で両系統共用)。この形式では、 f_{n1} と f_{n2} が別々であるから、両系統が同時にダウンする事態は可能性としては極めて少なく信頼

度が高い。第3図の形式では f_n 1つで両系統共用であるから、 f_n の異常によって両系統が同時ダウンになってしまう。

しかし、第7図の形式によると、既述の周波数差 Δf のみならず、 f_{n1} と f_{n2} の周波数差 $\Delta f'$ も考慮しなければならなくなる。このような場合における周波数差検出部は第4図の構成に変形を加える必要がある。

第8図は他の形式の周波数差検出部の具体例を示す図であり、この検出部81は第4図の検出部31に対し、第7図における f_{n1} と f_{n2} の周波数差 $\Delta f'$ を考慮にいたったものである。すなわち、第4図の回路部分611、621、612、622、63と対応する回路部分を、 f_{n1} と f_{n2} について、

611'、621'、612'、622'、63'として設け、かつ、コンパレータ63および63'からの比較結果(極性と大きさをもつ)の和をとる加算器82と、第4図の回路部分64と対応する回路部分を、 f_{n1} と f_{n2} について64'として設け、かつ、ミキサ64および64'からの差出力(極

性と大きさをもつ)の和をとる加算器83とが設けられる。動作は基本的に第4図の場合と同じである。

(発明の効果)

以上説明したように本発明によれば、ダイオードミキサの如き大形のアナログ部品からなる復調器(DEM)を増やすことなく、LSI化に適した復調回路が実現される。

4. 図面の簡単な説明

第1図は本発明に係る復調回路の原理構成を示す図、

第2図は第1図における送信側の一例を示す図、

第3図は本発明に係る復調回路の詳細例を示す図、

第4図は復調回路内の周波数差検出部の具体例を示す図、

第5図は座標回転器の具体例を示す図、

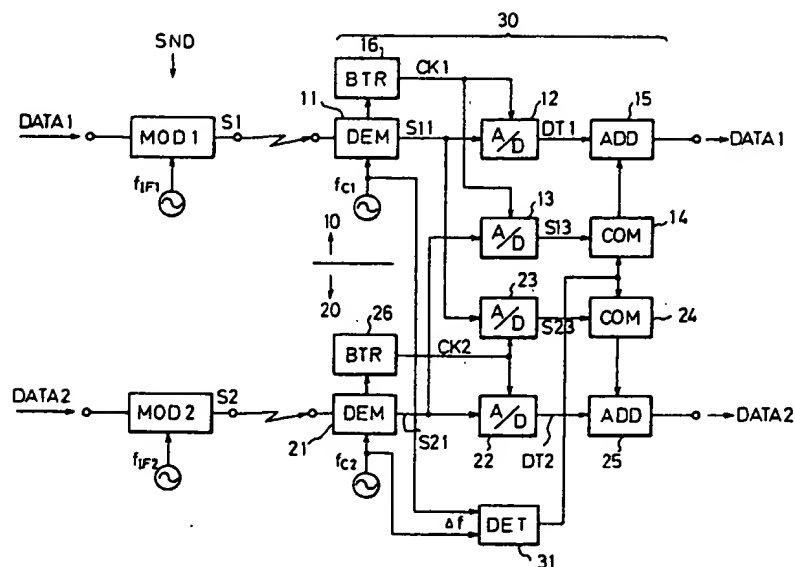
第6図はトランスバーサル形フィルタの一般形を示す図、

第7図は第3図の回路の入力段が異なる形式の場合を示す図、

第8図は他の形式の周波数差検出部の具体例を示す図である。

図において、

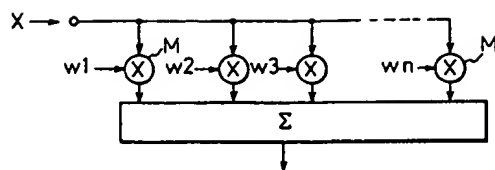
- 10…第1系統、11,21…復調部、
- 12,22…主識別部、13,23…副識別部、
- 14,24…補償部、15,25…加算部、
- 16,26…クロック再生部、
- 20…第2系統、30…復調回路、
- 31…周波数差検出部。



本発明に係る復調回路の原理構成を示す図

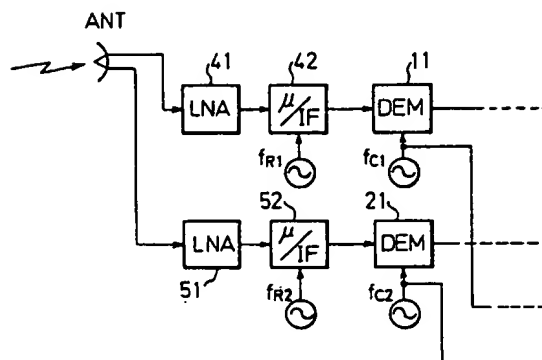
第1図

- | | |
|------------|---------------|
| 10…第1系統 | 14,24…補償部 |
| 20…第2系統 | 15,25…加算部 |
| 11,21…復調部 | 16,26…クロック再生部 |
| 12,22…主識別部 | 30…復調回路 |
| 13,23…副識別部 | 31…周波数差検出部 |



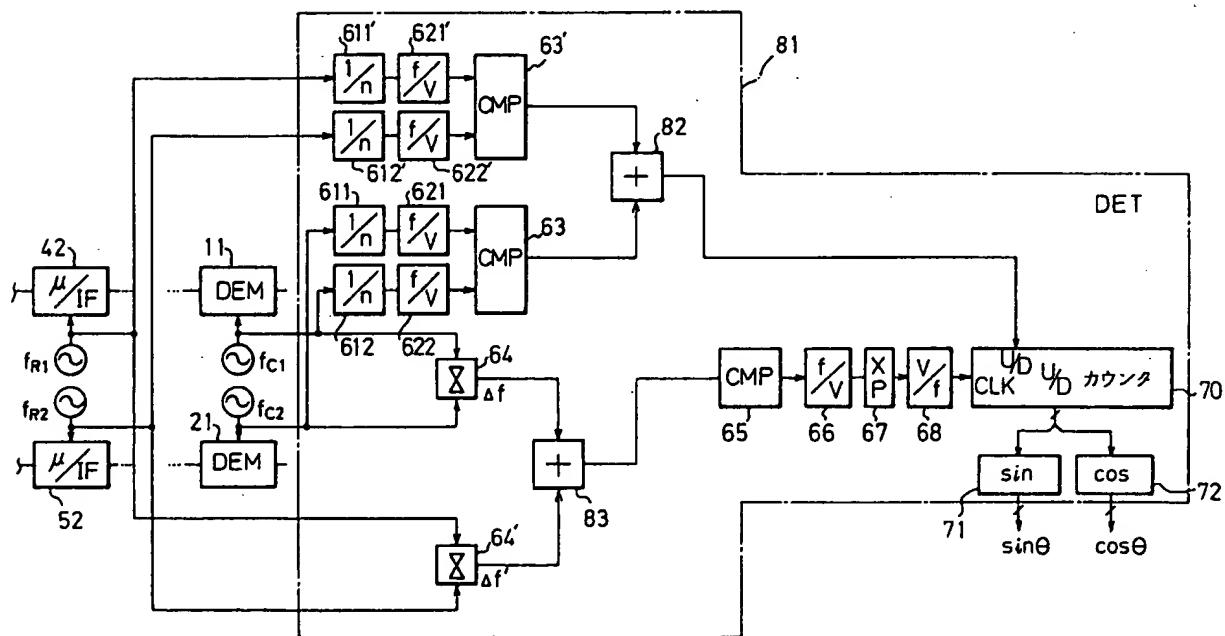
トランスバーサル形フィルタの一般形を示す図

第 6 図



第 3 図の回路の入力段が異なる形式の場合を示す図

第 7 図



他の形式の周波数差検出部の具体例を示す図

第 8 図

PTO 05-0461

CY=JA DATE=19891124 KIND=A
PN=01-291540

DEMODULATION CIRCUIT
[Fukucho Kairo]

Yoshitami Aono, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. November 2004

Translated by: FLS, Inc.

PUBLICATION COUNTRY	(19):	JP
DOCUMENT NUMBER	(11):	1-291540
DOCUMENT KIND	(12):	A
PUBLICATION DATE	(43):	19891124
APPLICATION NUMBER	(21):	63-120517
APPLICATION DATE	(22):	19880519
INTERNATIONAL CLASSIFICATION	(51):	H04J 11/00
INVENTOR	(72):	AONO, YOSHITAMI; IWAMATSU, TAKANORI; SAITO, MASAKATSU
APPLICANT	(71):	FUJITSU CO., LTD.
TITLE	(54):	DEMODULATION CIRCUIT
FOREIGN TITLE	(54A):	FUKUCHO KAIRO

1. Title of the Invention

Demodulation circuit

2. Claims

1. A demodulation circuit comprised of a demodulation circuit wherein the primary and secondary modulation signals (S1, S2) are received from the transmission side (SND) modulated by the primary and secondary intermediate frequency (f_{1F1} , f_{1F2}), and demodulation is conducted using the primary and secondary playback carrier waves (f_{c1} , f_{c2}); and the primary and secondary demodulation data (DT1, DT2) from the primary and secondary demodulation part (11, 21) as well as their demodulated primary and secondary demodulation signals (S11, S21) is divided into primary and secondary systems (10, 20) that have primary and secondary main identification parts (12, 22) for playback;

wherein there is a frequency variance detector (31) that detects the variance in frequency (Δf) between the primary and secondary playback carrier frequencies (f_{c1} , f_{c2});

wherein the aforementioned primary system (10) is equipped with a primary auxiliary identification part (13) that digitally converts the secondary demodulation signals (S21) from the secondary demodulation part (21) using the synchronized clock (CK1) into primary playback carrier waves (f_{c1}); a primary compensation part (14) that compensates according to the variance in frequency (Δf) relative to the primary auxiliary identification signals (S13) from the primary auxiliary identification part (13); and a primary addition part (15) that adds the output of the primary compensation part (14) to the primary

* Numbers in the margin indicate pagination in the foreign text.

demodulation data (DT1) and removes the primary system (10) interference from the secondary system (20); and

wherein the aforementioned secondary system (20) is equipped with a secondary auxiliary identification part (23) that digitally converts the primary demodulation signals (S11) from the primary demodulation part (11) using the synchronized clock (CK2) into secondary playback carrier waves (f_{c2}); a secondary compensation part (24) that compensates according to the variance in frequency (Δf) relative to the secondary auxiliary identification signals (S23) from the secondary auxiliary identification part (23); and a secondary addition part (25) that adds the output of the secondary compensation part (24) to the secondary demodulation data (DT2) and removes the secondary system (20) interference from the primary system (10).

3. Detailed Explanation of the Invention

/244

[Summary]

This relates to a demodulation circuit comprised of a demodulation circuit wherein the primary and secondary modulation signals are received from the transmission side modulated by the primary and secondary intermediate frequency, and demodulation is conducted using the primary and secondary playback carrier waves; and the primary and secondary demodulation data from the primary and secondary demodulation part as well as their demodulated primary and secondary demodulation signals is divided into primary and secondary systems that have primary and secondary main identification parts for playback.

The objective is to present a demodulation circuit that can be digitized, and has a simple structure.

This structure is comprised of a frequency variance detector that detects the variance in frequency between the primary and secondary playback carrier frequencies; wherein the aforementioned primary system is equipped with a primary auxiliary identification part that digitally converts the secondary demodulation signals from the secondary demodulation part using the synchronized clock into primary playback carrier waves; a primary compensation part that compensates according to the variance in frequency relative to the primary auxiliary identification signals from the primary auxiliary identification part; and a primary addition part that adds the output of the primary compensation part to the primary demodulation data and removes the primary system interference from the secondary system; and wherein the aforementioned secondary system is equipped with a secondary auxiliary identification part that digitally converts the primary demodulation signals from the primary demodulation part using the synchronized clock into secondary playback carrier waves; a secondary compensation part that compensates according to the variance in frequency relative to the secondary auxiliary identification signals from the secondary auxiliary identification part; and a secondary addition part that adds the output of the secondary compensation part to the secondary demodulation data and removes the secondary system interference from the primary system.

[Industrial Field of the Invention]

This invention relates to a demodulation circuit for classification into a primary system that has primary modulation signals received from the transmission side modulated by the primary intermediate frequency, and demodulation conducted using the primary

playback carrier waves; and a primary main identification part for playback of primary data from the primary demodulation part and their demodulated primary demodulation signals; as well as a secondary system that has secondary modulation signals received from the transmission side modulated by the secondary intermediate frequency, and demodulation conducted using the secondary playback carrier waves; and a secondary main identification part for playback of secondary data from the secondary demodulation part and their demodulated secondary demodulation signals.

There have been many methods tested to increase the efficiency of frequencies used for digital wireless transmission systems such as the multi-level QAM. One method is to add QAM multi-level numbers such as 4>8>16.... Another method is to transmit by separating into primary systems and secondary systems. This invention is based on the latter method. For example, the primary system utilizes V (vertical) polarization while the secondary system utilizes H (horizontal) polarization, to form co-channel transmission. A different format utilizes either V or H polarization. With a primary frequency band as the primary system and a secondary frequency band as the secondary system, one of these primary and secondary frequency bands is a high frequency band while the other is a low frequency band. With either of these, the primary system and secondary system are both comprised of an I (In-phase) channel and a Q (quadrature) channel. The following description gives examples for co-channel transmission of V and H polarized waves for the primary and secondary systems.

[Existing Art]

This co-channel transmission is subject to problems with interference between the primary and secondary systems, specifically with V polarized wave interference on H polarized waves and H polarized wave interference on V polarized waves. This interference can increase rapidly due to fading, which increases the rate of data transmission errors.

A mechanism is necessary to eliminate the interference from one system to the other. Interference elimination mechanisms available at the present time include a mechanism for local synchronization and a mechanism for local asynchronization. The former involves a mechanism for local synchronization that transmits local signals converted from one system (change in frequency) to another system. Both systems require the local signals to be consistent. In other words, if the /245 local signals of one system are abnormally generated, this is promptly relayed to the other system and causes the system to go down. This compromises the reliability of the system. There are none of these problems in this invention, as it involves the latter, a mechanism for local asynchronization.

[Problems this Invention is to Solve]

To eliminate interference using a local asynchronization format, this invention involves an auxiliary secondary system for the primary demodulation part and an auxiliary secondary system for the secondary demodulation part. Each auxiliary demodulation part (demodulation parts generally based on existing demodulation parts) demodulates signals received from the other side. The output of these auxiliary demodulation parts is input to the auxiliary identification part where

compensation signals are generated to eliminate interference. However, with this method, there is a significant amount of hardware for the demodulation part so there is a problem in that the demodulation circuit cannot be made compact. Also, the demodulation part is typically constructed of a diode mixer so there is an increase in the amount of analog parts and then problems arise with the LSI demodulation circuit.

The objective of this invention is to present a demodulation circuit that can be digitized, and has a simple structure.

[Means of Solving these Problems]

Figure 1 shows the principle structure of demodulation circuit relating to this invention. In this figure, the demodulation circuit 30 is divided into the primary system 10 (top half) and the secondary system (bottom half). With co-channel transmission, the primary system 10 is a V polarized wave system while the secondary system 20 is an H polarized wave system. The original **DATA1** is converted to primary demodulated signals **S1** by the primary modulator **MOD1** in the primary intermediate frequency f_{1F1} on the transmission side **SND** and then applied to the primary system 10 of the demodulation circuit 30 on the receiving side. In this same manner, the original **DATA2** is converted to secondary demodulated signals **S2** by the secondary modulator **MOD2** in the secondary intermediate frequency f_{1F2} on the transmission side **SND** and then applied to the secondary system 20 of the demodulation circuit 30 on the receiving side.

First, the frequency variance detector 31 is installed inside the demodulation circuit 30. The frequency variance is the difference between the primary playback carrier waves f_{c1} of the primary and

secondary systems 10, 20 and the secondary playback carrier waves f_{c2} (Δf). Existing methods are used to playback these carrier frequencies so the figure has been abbreviated. There is a primary demodulation part (DEM) 11 for the primary system 10 and the demodulated primary demodulation signal **S11** is applied to the primary main identification part (A/D). The identification part 12 is A/D (Analog/Digital) compatible so the primary demodulation data **DT1** is generated.

The structure of this primary system 10 is identical to the secondary system 20, with a secondary demodulation part 21 that outputs the secondary demodulation signals **S21** and a secondary main identification part 22 that generates the secondary demodulation data **DT2**. The primary and secondary main identification parts 12, 22 conduct the identification operation on the primary and secondary clocks **CK1**, **CK2**. These clocks are synchronized to the DATA1, DATA2. There are clock playback parts (BTR: Bit Timing Recovery) 16, 26 that are commonly known.

The special structures in this invention include the primary auxiliary identification part 13 that digitally converts the secondary demodulation signals **S21** from the secondary demodulation part 21 using the synchronized clock **CK1**; the primary compensation part 14 that compensates according to the variance in frequency Δf relative to the primary auxiliary identification signals **S13** from this output; and the primary addition part 15 that adds the output of the primary compensation part 14 to the primary demodulation data **DT1**.

The aforementioned structure is identical for the secondary system 20. There is a secondary auxiliary identification part 23 that identifies the primary demodulation signals **S11** from another system,

a secondary compensation part 24 that compensates according to the variance in frequency Δf relative to these secondary auxiliary identification signals S23 and an addition part 25 that adds the compensation output to the secondary modulation data DT2 from the secondary auxiliary identification part 23. The addition part 15 and 25 output is subject to specific processing (not shown in the figures) to obtain the playback DATA1 and DATA2.

[Operation]

/246

To eliminate the interference of the secondary system 20 on the primary system 10, the demodulation signals on the secondary system 20, specifically the secondary demodulation signals S21, are introduced to the primary system 10 and the demodulation data of the secondary demodulation signals S21 is obtained as S13 via the primary main identification part 12 and the other primary auxiliary identification part 13. This demodulation data S13 is obtained by the clock CK1 in the primary system 10, included in future demodulation data DT1 and is equivalent to the interference from the secondary system 20. In reality, this interference (including the DT1) is perfectly uniform with the primary demodulation data S13. The secondary demodulation signals S21 from the secondary system 20 input to the primary auxiliary identification part 13 are demodulated as secondary system 20 playback carrier waves f_{c1} , f_{c2} . Generally, the frequency of the primary and secondary playback carrier waves f_{c1} , f_{c2} are not perfectly uniform. A variance of several hundred Hz cannot be avoided. This is the aforementioned frequency variance (Δf).

With this frequency variance (Δf), the primary auxiliary identification signals S13 shown on the secondary system 20

coordinates are converted to primary auxiliary identification signals, namely compensation signals shown on the primary system 10 coordinates. This coordinate conversion is performed on the primary compensation part 14 and the interference from the secondary system added to the primary demodulation data DT1 via the primary addition part 15 is eliminated. Here, coordinates refers to the coordinates of the intersecting I channel and Q channel.

The above structure is applied to the secondary system 20 in the same manner.

There is none of the increase in demodulation part hardware mentioned earlier and the demodulation circuit can be easily made into an integrated circuit. This is because the auxiliary identification parts 13, 23, compensation parts 14, 24, and addition parts 15, 25 are all constructed using simple logic circuits.

[Embodiment Examples]

Figure 2 shows one example of the transmission side in Fig. 1. There are no special features of this invention on the transmission side SND. In the figure, the original data DATA1, DATA2 and modulator (MOD1, MOD2) are as stated earlier. The signals from the modulator are transmitted from the antenna ANT to the receiver via the IF (intermediate frequency) > microwave (μ -waves) converter and high output amplifier (HPA) after conversion (local signals f_{s1} , f_{s2}). MOD1 and MOD2 are processed as I channel and Q channel signals.

Figure 3 shows a detailed example of the demodulation circuit relating to this invention. After the modulated signals (S1, S2 in Fig. 2) received by the antenna ANT were applied to the low noise amp (LNA) 41, 51, they became intermediate frequency signals after conversion

(local signal f_s) by the μ -IF converter 41, 52. The rest of this structure is basically the same as that found in Fig. 1. This embodiment example is shown using the V polarized wave and H polarized wave systems as the primary and secondary systems (10, 20).

The primary compensation part (COM) 14 shown in the demodulation circuit 30 is shown as the coordinate rotator (ROT) 44, 45 in Fig. 3. The secondary compensation part 24 is also shown as ROT 54, 55. Specific examples of the ROT follow.

There are INC (interference noise canceller) 45, 55 installed at each stage of the ROT 44, 54 and inputs made via these to the addition part 15. The structure of these INC is nearly identical to the standard transversal unit. The transversal unit is inserted between the main identification part (A/D) 12, 22 and the addition part 15, 25 as the EQL 43, 53 in Fig. 3.

Figure 4 shows a specific example of frequency variance detector in the demodulation circuit. The frequency variance detector 31 detects the frequency variance Δf of the playback carrier waves f_{c1} , f_{c2} and inputs this into the coordinate rotator (ROT) 44, 45 in a form suitable for the circuit in the next stage, such as $\sin\theta$ signals and $\cos\theta$ signals. The $\sin\theta$ and $\cos\theta$ are generated by the ROM 71, 72 and the up/down (U/D) counter 70 that outputs the address for accessing /247 the memory. The memory 71, 72 and counter 70 form a so-called infinite converter.

The frequency variance Δf of the aforementioned f_{c1} , f_{c2} is output as the mixer 64 beat signal and after conversion to a digital signal using the CMP 65, is applied to the clock terminal CLK on the counter 70 via the forwarder (66, 67, 68). Symbol 66 is the frequency>voltage

converter, 67 is the P-magnitude multiplier and 68 is the $V > f$ converter. The forwarder determines if the Δf is several hundred Hz and used for enhancing the resolution. If P reaches m on the counter 70, (m bit counter), $P = 2^m$.

The amount of rotation in the coordinate system that corresponds to the changes in frequency variance Δf is output as $\sin\theta$ signals and $\cos\theta$ signals. In this case, clockwise or counterclockwise rotation of this coordinate system must be determined and the comparator CMP 63 output is applied to the counter 70 up/down (U/D) control input. The comparator 63 compares the size of the playback carrier waves f_{c1} , f_{c2} , and is equipped with a V polarized wave demultiplier $(1/n)611$ and f/V converter 621. There is a circuit element 612, 622 to handle the H polarized waves. For example, if $f_{c1} > f_{c2}$, the U/D counter 70 increases while if $f_{c1} < f_{c2}$, the U/D counter 70 decreases.

Figure 5 shows a specific example of the coordinate rotator. The coordinate rotator (ROT) 44 (54) has the same structure for the V polarized wave unit (44) and the H polarized wave unit (54). Thus, with V polarized waves, the main identification part (A/D) 12 receives primary demodulation signals **S11** and clock **CK1** and generates demodulation data (DT1 in Fig. 3). Signals **S11** include I channel and Q channel signals. These signals **S11** are designated using coordinates (x,y). These signals **S11** are converted to signals with new coordinates (X,Y) by rotating only θ to compensate for the frequency variance Δf . The conversion formula is:

$$X = x \cos \theta + y \sin \theta$$

$$Y = -x \sin \theta + Y \cos \theta$$

Here, $\cos \theta$, $\sin \theta$ are supplied by the frequency variance detector 31

in Fig. 4. In Fig. 5, M is the multiplier, A is the adder and S is the subtractor.

Figure 6 shows the general format for the transversal filter. The basic structure of the interference noise canceller 45 (55) in Fig. 5 shows the X side (the Y side is identical). In Fig. 6, $w_1, s_2, w_3 \dots w_n$ are tap coefficients, multiplied by input X via each multiplier M. These totals are output by the adder (Σ). The tap coefficients $w_1, w_2 \dots$ are obtained while generating the DATA1 and DATA2 on the right side (receiving side) of Fig. 1 and determine the basis for the so-called error signals and polarity signals.

Figure 7 shows when the input steps for the circuit in Fig. 3 are different, where the local signals f_{R1}, f_{R2} are separated for the down converter (42, 52) (in Fig. 3, one f_R is used for both systems). Here, since f_{R1} and f_{R2} are separate, there is an extremely small probability of both systems being down simultaneously so the reliability is excellent. Since one f_R is used for both systems in Fig. 3, both systems can be down simultaneously due to f_R errors.

With the configuration in Fig. 7, the aforementioned frequency variance Δf and the frequency variance $\Delta f'$ of f_{R1}, f_{R2} must be taken into consideration. In this case, it is necessary to add a frequency variance detector to the structure in Fig. 4.

Figure 8 shows another specific example of a frequency variance detector in the demodulation circuit. This detector 81 includes the frequency variance $\Delta f'$ of f_{R1}, f_{R2} from Fig. 7 with the detector 31 in Fig. 4. The circuit elements corresponding to circuit elements 611, 621, 612, 622, 63 in Fig. 4 are 611', 621', 612', 622', 63' for the f_{R1}, f_{R2} . The adder 82 takes the sum of the comparison results (the size

of the polarity) from the comparator 63, 63'. The circuit elements corresponding to circuit elements 64 in Fig. 4 are 64' for f_{R1} , f_{R2} . The adder 83 takes the sum of the variance output from the mixer 64, /248 64'. The operation is basically the same as that shown in Fig. 4.
[Effect of this Invention]

As clearly shown in the description above, this invention realizes a demodulation circuit that corresponds to LSI and one where a demodulator (DEM) comprised of large analog parts such as a diode mixer can be easily added.

4. Brief Description of the Figures

Figure 1 shows the principle structure of the demodulation circuit relating to this invention. Figure 2 shows one example of the transmission side in Fig. 1. Figure 3 shows a detailed example of the demodulation circuit relating to this invention. Figure 4 shows a specific example of a frequency variance detector in the demodulation circuit. Figure 5 shows a specific example of a coordinate rotator. Figure 6 shows the general format for the transversal filter. Figure 7 shows when the input steps for the circuit in Fig. 3 are different. Figure 8 shows another specific example of a frequency variance detector in the demodulation circuit.

In the figures,

10...Primary system; 11, 21...Modulation part;
12, 22...Main identification part; 13, 23...Auxiliary identification part; 14, 24...Compensation part; 15, 25...Addition part; 16, 26...Clock playback part; 20...Secondary system; 30...Demodulation circuit; 31...frequency variance detector.

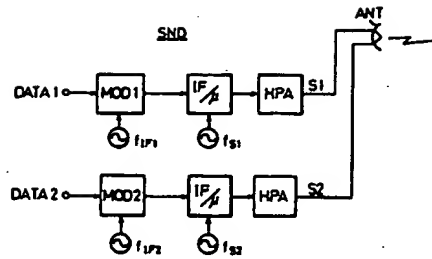


Figure 2

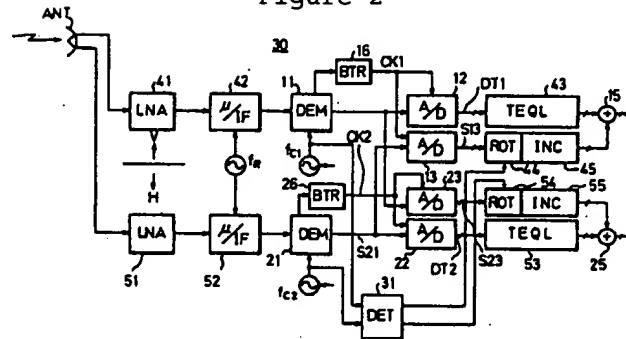


Figure 3

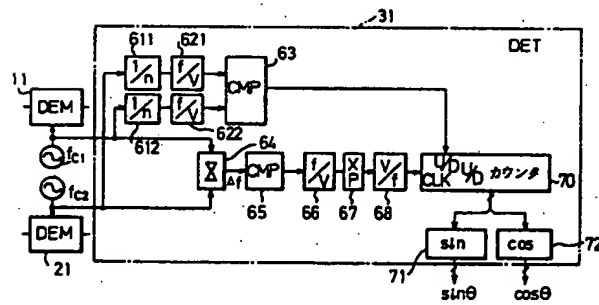


Figure 4

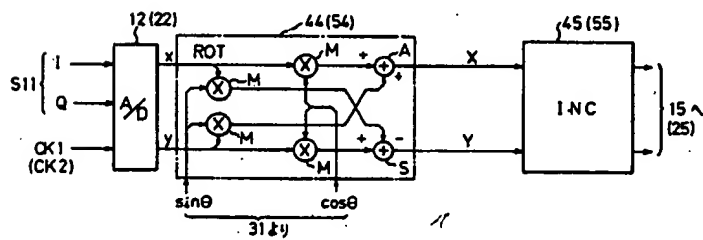


Figure 5

[Figure 2]
One Example of the Transmission Side in Figure 1

[Figure 3]
Detailed Example of the Demodulation Circuit Relating to This
Invention

[Figure 4]
Specific Example of the Frequency Variance Detector in the
Demodulation Circuit
70...counter

[Figure 5]
Specific Example of Coordinate Rotator

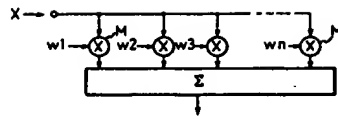


Figure 6

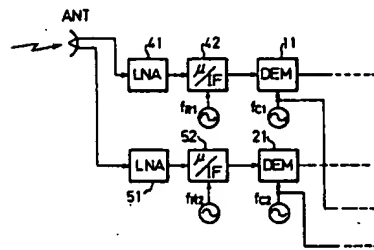


Figure 7

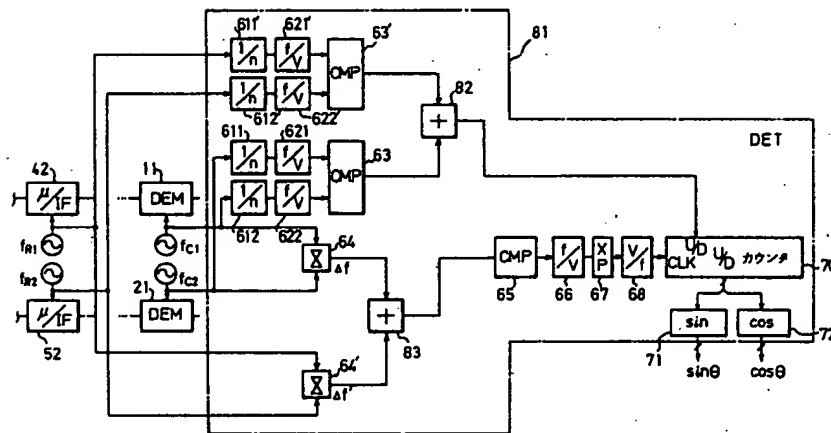


Figure 8

[Figure 6]
General Format for Transversal Filter

[Figure 7]
When the Input Steps for the Circuit in Figure 3 are Different

[Figure 8]
Another Specific Example of the Frequency Variance Detector in the
Demodulation Circuit
70 counter

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.